

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

357-75

AU 253 48202

JA 0031166
FEB 1982

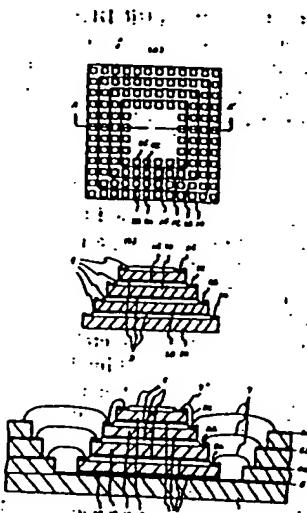
521 E112

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP
(21) Appl. No. 55-105911 (22) 31.7.1980
(71) FUJITSU K.K. (72) JIYUNJI SAKURAI
(51) Int. Cl.: H01L23/48, H01L21/58

PURPOSE: To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

CONSTITUTION: IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7'. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.

H 01 L 23/48

H 01 S 021/58

識別記号

厅内整理番号

6819-5F

6679-5F

⑬ 公開 昭和57年(1982)2月19日

発明の数 1

審査請求 未請求

(全4頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 特 願 昭55-105911

⑯ 出 願 昭55(1980)7月31日

川崎市中原区上小田中1015番地

⑰ 発 明 者 桜井潤治

⑱ 代 理 人 弁理士 松岡宏四郎

特許出願明細書

発明の名称

半導体装置

特許請求の範囲

(1) 半導体電子が集成されてなる電子部品が多層に構成され、各層に外との導内部、ドが設けられた多層半導体集積回路チップをバケージ内に封入した半導体装置において、該バケージ内に封入した半導体装置について、該バケージ内の内底部、ドが階層状に多層に封けられ、対応する層の前記導通部、ドと内部部、ドとが、互に封接され、且つ外部導体を介して集成されてなることを特徴とする半導体装置。

(2) 前記外部導体がパンディングワイヤーであることを特徴とする特許請求の範囲を有する半導体装置。

(3) 前記導通部、ドの部分の形状と前記内部部、ドの部分の形状とが相対応するよう形成され、且つや界線をなす導通部、ドと内部部、ドとが前記多層半導体集積回路チップをフューチャーとして用いて、且つ前記導通部、ドと内部部、ドとを介して集成してなることを特徴とする特許請求

本の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを封けた半導体装置の構造に関する。電子計算機あるいは各種通信装置等の電子機器に於ては、半導体装置の実装密度を向上せしめることがや否の小形化大容量化を図る上で亟めて要望なことである。

そして上記目的のために大規模積層回路(LSI)等の半導体集積回路(IC)に於て、バケージよりの電子導通度を向上せしめる技術として、(1)複数個のLSIチップを1【面】の半導体バケージ内に配置する方法、(2)LSIチップの表面に半導体電子を形成する構造、(3)LSIチップを搭載した半導体バケージを組み立てる方法、(4)LSI上に形成した配線層上に半導体電子を形成しレーザー・マニールで該半導体層を局部化し、該半導体半導体層にLSIを形成する方法(日本エレクトロニクスZ-18(1980)P82参照)等があるが、(1)-(3)の構造に於ては組み立てる方法に対する実装密度の大体を向上は期待できます。

又(4)の構造においては集積度及び実装密度は大幅に向上するが、各層の回路端子が表出しないので、各層に形成されているLSIのアロマス膜間に隙間がある。集積度を高めに検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、東状回路(I C)チップを複数枚用し、パッケージ寸法の拡大することなく、パッケージ内にICチップの搬入と出力を容易に行なう構成である。
チップを複数枚用し、パッケージ寸法の拡大することなく、パッケージ内にICチップの搬入と出力を容易に行なう構成である。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通部ド^アが設けられた多層半導体集積回路チップをベース^トケージ内に封入した半導体装置において、該ベース^トケージ内の内部パ^ルド^アが階級状に多層に設けられ、対応する層の前記導通のパ^ルド^アと内部パ^ルド^アとが外部導体を介して接続されてなることを特徴とする。

ド2a, 2b, 2c成るいは2dが形成されて
おり、各層ナップの大きさは、上層のナップを取
せた時に下層ナップのポンディング・ベッドが上
層ナップの周辺部(外側)に露出するようにな。上
層ナップになるに従って順次小さく形成される。

そしてこれら半導体 IC ティアを複層回路する際の接着剤 3 はシリコン樹脂、エポキシ樹脂或るいはポリイミド等の絶縁性樹脂、銀ベースト等の導電性接着剤或るいは金-錫 (Au-Sn) 等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着力を行う際には下層の半導体 IC ティアの表面保護膜既に上層 IC の Au 等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて接着力する構造については、下層ティアの表面保護膜既に於ける周縁部以外の所定の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層ティアの所定の領域と板面方向に電気的接続を行なう點に有利である。

桂陽357-31166(2)

以下本発明を第1図及び第2図に示すナ、ブ共用構造における二つの実施例の上面図(4)及びA-A'矢印断面図(5)、第3図及び第4図に示すバケージへのナ、ブ実装構造における二つの実施例の助面表示式図を用いて詳説して説明する。

本実例の多層半導体 I C IC 使用する各電子基板としての半導体 I C チップは、通常行われる例えば M I S 型 I C の製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用ペードであるポンディング・パッド部のみを残して上面が保護ガラス (P S G) 等の表面保護絶縁膜で覆われてなっている。なお上記ポンディング・パッド部にはバンブ状電極が形成される場合もある。

そして例えば第1回(4)及び(5)に示すような多層半導体ICチップの後層構造については、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4(回)に亘った周囲部に導通所形成のポンディング・ペ

又第2回(4)及び(6)は同じチップ・サイズの半導体
ICチップを複数する段の構造を表むす別の一
実施例で、この場合は各層半導体ICチップ例えば1a, 1b, 1c及び1dのマンディング・ペ
ード2a, 2b, 2c及び2dは該チップに於け
る脚り合った2(辺)に沿う該部のみに形成され
る。そしてチップを複数する段に用いる接着層3
としては前記同様絕縁性樹脂、導電性高分子成る
いはろう材が使用される。(図中9は表面保護絶
縁膜を示す)

本実験例の半導体装置は上記のような多層半導体集成回路チップを半導体パッケージ内に配設した構造をしており、その一実験例に於ては第3回の断面模式図に示すように、半導体パッケージ40チップ・ステージ5上に前記のように半導体ICチップ1a, 1b, 1c及び1dが層次積層された多層半導体集成回路チップが、前記回路遮断性樹脂、導電性接着剤あるいはろう材等からなる接着層3により固定されており、上記チップの所定のピンアイング・パッド(通常は樹てのピン

実験の半導体回路に対する一実施例の断面模式図である。本実施例に於てはパンディング・パッド 2a, 2b, 2c 部に鉛-錫 (Pb-Sn) 半田等からなるパンプ電極 8a, 8b, 8c を有する半導体 I C チップ 1a, 1b, 1c を前述のように積層形成せしめた多層半導体基板回路チップを、試料チップの上面を下に向け、半導体パッケージ 4 に多層化形成された内部パッド 6c, 6b, 6a 上に、前記パンプ電極 8a, 8b, 8c によりろう錆固定し、該パンプ電極 8a, 8b, 8c を外部導体として介して各該半導体 I C チップ 1a, 1b, 1c のパンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中 9 は表面保護膜を示す)

なお該構造においては各層の半導体 I C チップの厚さと半導体パッケージの内部配線の層間隔はほど等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが設置固定されてなっているので、ノード

すしも一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体ICの製造費
省まりが向上すると同時に、電子計算機あるいは
電子通信装置等の電子技術の小型化、大容量化が
図れる。

4. 圖面の簡単な説明

第1図及び第2図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(1)はその上面図、(2)はそのA-A'矢印断面図である。又第3図及び第4図は本発明に於けるペケージへのチップ積層構造の二つの実施例の断面模式図である。

因に於て 1 a と 1 b と 1 c と 1 d は電子基積層である半導体無源回路チップ、2 a と 2 b と 2 c と 2 d はパンディング・パッド、3 は被覆膜、4 は半導体パッケージ、5 はチップ・ステージ、6 a と 6 b と 6 c はパッケージの内部パッド、7 及び 7' は外部導体、8 a と 8 b と 8 c はパンブル電極

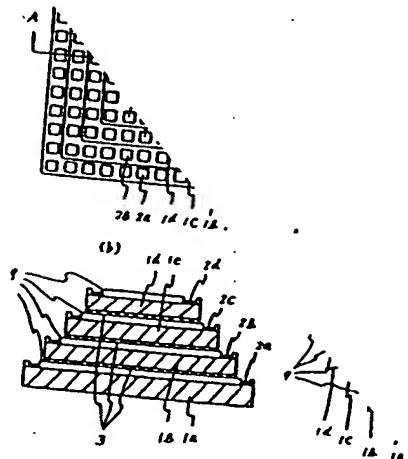
(C) 00115-1226

因本用河制砖机系由本公司设计
并此图可说明其构造及示之。

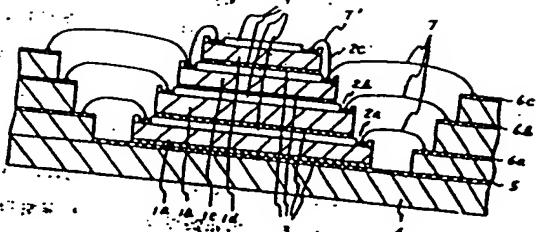
本机之构造及示之。

本机之构造及示之。

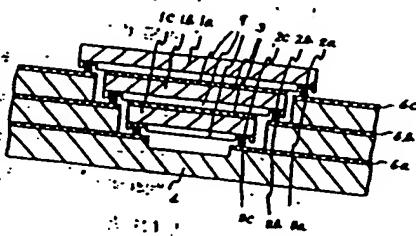
代理人：代理士 汤 员 安



第 3 図



第 4 図



(E) 00115-32564
田中相馬新郎氏日本公明社
9は表面保護膜を示す。

3は電極部を示す。

2は導体部を示す。

代理人：弁理士 松岡 実

出願日：昭和33年1月22日

特許出願番号：昭33-11532564

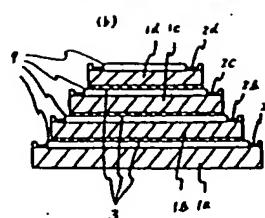
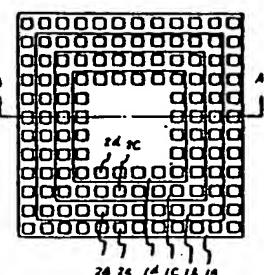
公明社の登録商標

出願人：松岡 実

昭和37-31166(4)

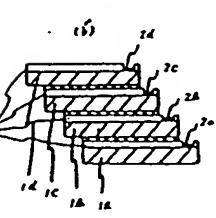
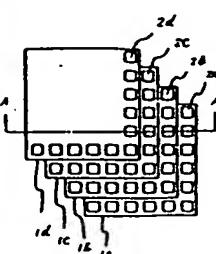
第1図

(a)

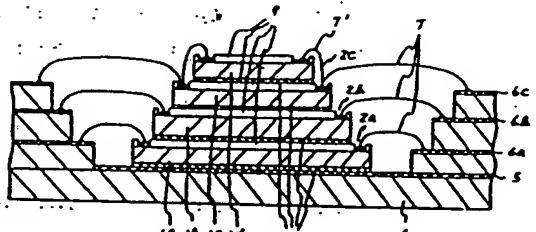


第2図

(a)



第3図



第4図

